



(19)

(11) Publication number: 11110287 A

Generated Document.

## PATENT ABSTRACTS OF JAPAN

(21) Application number: 09272921

(51) Int'l. Cl.: G06F 12/06

(22) Application date: 06.10.97

(30) Priority:

(43) Date of application 23.04.99  
publication:(84) Designated  
contracting states:

(71) Applicant: KOKUSAI ELECTRIC CO LTD

(72) Inventor: WATANABE ATSUSHI

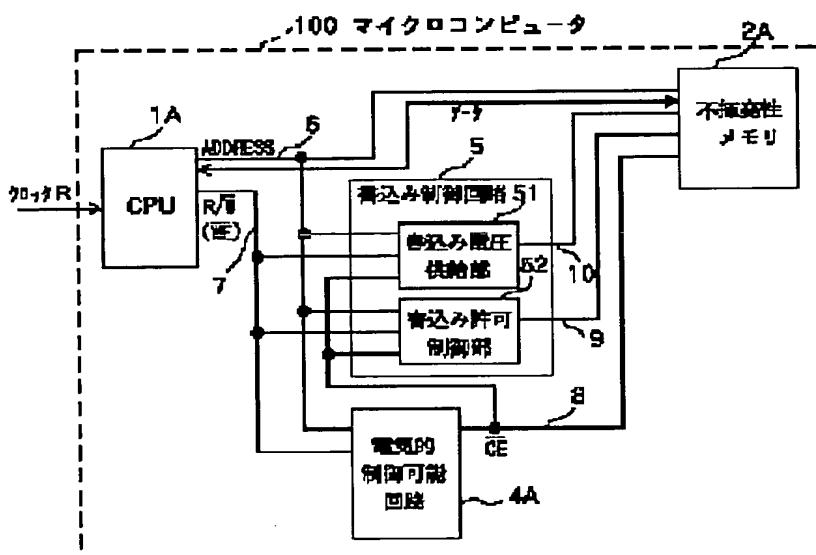
(74) Representative:

(54) CIRCUIT USING  
NONVOLATILE MEMORY

## (57) Abstract:

**PROBLEM TO BE SOLVED:** To make a nonvolatile memory have a function of a conventional volatile memory as well by making part of an area of the non-volatile memory possible to be used as a write-in area of data.

**SOLUTION:** This device is equipped with a CPU 1A for outputting a write signal 7 and an address signal 6, an electronic controllable circuit 4A for forming a tip selection signal 8 by the signals 6 and 7 from the CPU 1A, and a write-in control circuit 5 making the nonvolatile memory 1A written condition on the basis of the address signal 6 and the write signal 7 from the electronic controllable circuit 4A and the CPU 1A, the write-in of data is allowed only to a predetermined address area of a non-volatile memory, and the write-in of the data is prohibited in the address area except the predetermined address area.



COPYRIGHT: (C)1999,JPO

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-110287

(43)公開日 平成11年(1999)4月23日

(51)Int.Cl.<sup>8</sup>  
G 0 6 F 12/06

識別記号  
5 2 0

F I  
G 0 6 F 12/06

5 2 0 G

審査請求 未請求 請求項の数2 O.L (全6頁)

(21)出願番号 特願平9-272921

(22)出願日 平成9年(1997)10月6日

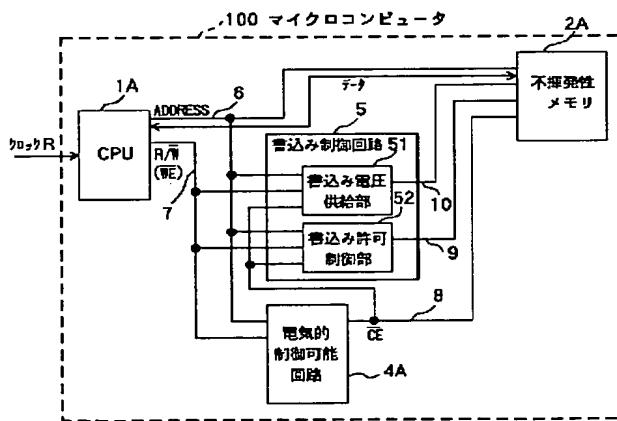
(71)出願人 000001122  
国際電気株式会社  
東京都中野区東中野三丁目14番20号  
(72)発明者 渡邊 淳  
東京都中野区東中野三丁目14番20号 国際  
電気株式会社内  
(74)代理人 弁理士 石戸 元 (外3名)

(54)【発明の名称】 不揮発性メモリを使用した回路

(57)【要約】

【課題】 不揮発性メモリの一部領域をデータの書き込み領域として使用できるようにすることで、不揮発性メモリに従来の揮発性メモリの機能をも持たせるようとする。

【解決手段】 ライト信号7とアドレス信号6を出力するCPU 1Aと、これらCPU 1Aからの信号6、7によりチップ選択信号8を形成する電気的制御可能回路4Aと、電気的制御可能回路4AとCPU 1Aからのアドレス信号6とライト信号7に基づいて不揮発性メモリ1Aを書き込み状態とする書き込み制御回路5を備え、不揮発性メモリの所定アドレス領域のみにデータの書き込みを許可し、所定アドレス領域以外のアドレス領域にはデータの書き込みを禁止する。



## 【特許請求の範囲】

【請求項1】 不揮発性メモリを使用した回路において、上記不揮発性メモリの所定アドレス領域を書き込み可能領域として、該書き込み可能領域にのみデータの書き込みを許可し、上記所定アドレス領域以外のアドレス領域にはデータの書き込みを禁止する制御回路を備えたことを特徴とする不揮発性メモリを使用した回路。

【請求項2】 上記不揮発性メモリを使用した回路は、中央演算処理装置を有する回路であり、上記不揮発性メモリは、上記所定アドレス領域以外のアドレス領域にプログラムが格納され、上記所定アドレス領域に上記プログラム実行における演算結果が格納される請求項1に記載の不揮発性メモリを使用した回路。

## 【発明の詳細な説明】

[0 0 0 1]

【発明の属する技術分野】この発明は、メモリとして不揮発性メモリを使用した回路に関し、特に、不揮発性メモリの所定領域を書き込み用メモリとして使用するようにした回路に関するものである。

[0002]

【従来の技術】図9は、従来の不揮発性メモリを使用した回路として、CPU（中央演算処理装置）を含むマイクロコンピュータを示す回路図である。このマイクロコンピュータ15は、全体がモノリシック構造物よりも、クロックRを受けて動作するCPU1と、CPU1を制御するプログラムを格納するための、例えばEEPROMからなる不揮発性メモリ2と、プログラム実行における演算結果を格納するための揮発性メモリ(RAM)3と、電気的制御可能回路4と、マイクロコンピュータ15全体に電源電圧を供給するバッテリ5と、常に揮発性メモリ(RAM)3のデータを保持するために電源供給制御を行うためのバックアップ電源供給部6と、CPU動作時のみ電源を供給するための主電源供給部7とを備えている。電気的制御可能回路4は、通常、ASIC等、カスタム的な回路領域であり、それぞれの仕様に併せて組み込まれる。尚、マイクロコンピュータ15のブロック図において実線は信号、破線は電源を示している。このように、不揮発性メモリを含む回路は、マイクロコンピュータ15で示されるように、不揮発性メモリ2と揮発性メモリ3の2種類のメモリを使用している。

[0 0 0 3]

【発明が解決しようとする課題】しかしながら、不揮発性メモリ2も、揮発性メモリ3もデータを記憶するという機能においては同じである。したがって、このようなメモリを常に2種類回路に搭載するのは、回路面積の増大、バックアップ用に常に電源を供給しておくため消費電力の増大をもたらすと共に、コスト高をもたらすという問題点がある。

【0004】そこで、この発明は、電源を切っても内容が消されない不揮発性メモリの一部領域をデータの書き込み領域として使用できることにより、不揮発性メモリに従来の揮発性メモリの機能を持たせ、メモリの種類を1つとすることにより、バックアップ電源供給部の削除等の効果による回路の小型化、消費電力の低減、低コスト化をもたらすことができる不揮発性メモリを使用した回路を得ることを目的としている。

[0005]

- 10 【課題を解決するための手段】上述した課題を解決するため、この発明は、不揮発性メモリを使用した回路において、上記不揮発性メモリの所定アドレス領域を書き込み可能領域として、該書き込み可能領域にのみデータの書き込みを許可し、上記所定アドレス領域以外のアドレス領域にはデータの書き込みを禁止する制御回路を備えたものである。

【0006】不揮発性メモリへの書き込み時の制御信号には、図1(A) (B)に示されるように、アドレス制御信号としてのアドレス信号(ADDRESS)と、書き込み

- 20 み許可信号（ライトイネーブル信号WEバー）と、チップ選択信号（CEバー）があり、書込み時には所定のアドレス信号に対して、これら書込み許可信号WEとチップ選択信号CEをアクティブにする必要がある。そこで、この発明においては、書込み時に、アドレス領域が書込み可能領域である所定アドレス領域を指示するときにのみ、書込み許可信号（WEバー）をアクティブにし、かつチップ選択信号（CEバー）をアクティブにするような制御回路を備えるようにする。なお、不揮発性メモリには、(A)に示すように書込み電圧WVを必要とするものと、(B)に示すように書込み電圧を必要としないものがある。(A)に示すように書込み電圧を必要とする不揮発性メモリに対しては、制御回路は書込み許可時に併せて書込み電圧を供給する。

30

【0007】具体的には、図2や図5に示されるように、制御回路は書き込み許可信号7（以下、書き込み制御回路がS OUTPUTする書き込み許可信号と区別するため）をライト信号

- 記憶装置の電圧を出力するためのアドレス信号 6 と、アドレス信号 6 を出力する CPU 1 A と、CPU 1 A からのこれら信号によりチップ選択信号 8 を形成する電気的制御可能回路 4 A と、この電気的制御可能回路 4 A と上述の CPU 1 A からのアドレス信号 6 とライト信号 7 に基づいて不揮発性メモリ 2 A を書き込み状態とする書き込み制御回路 5 又は 5 B とから構成される。なお、図 2 は不揮発性メモリへの書き込み時に書き込み電圧 10 を必要とする場合の例であり、図 5 は書き込み電圧を必要としない場合の例を示している。図 2 の場合には、書き込み制御回路 5 が書き込み許可時に書き込み許可信号 9 に併せて書き込み電圧 10 を供給している。

【0008】図2及び図5の回路構成では、CEバーがアクティブでかつCPU1Aから出力されるアドレス値が書き込み領域になった時のみ、書き込み信号9及び書き込み

電圧10が outputされるハードウェア構成になっているが、図7や図8の書込み電圧制御部51Bや書込み許可制御部52Bに示されるように、それらの部分にアドレス設定レジスタ部53, 53Aと判定制御部54, 54Aを設けて、アドレス設定レジスタ部53, 53AにはCPU1Aからアドレス値を設定し、判定制御部54, 54Aにおいて、アドレス設定レジスタ部53, 53Aに設定されたアドレス値とCPU1Aから出力される現在のアドレス値を比較して、設定したアドレス値より現在のアドレス値が小さい場合、または大きい場合には書込み信号9ならびに書込み電圧10がアクティブにならない回路構成とすることで、CPU1Aからの設定で演算結果格納領域11とプログラム格納領域12の比率を変化させ、仕様変更によるデータ領域の変更に柔軟に対応できることになる。アドレス設定レジスタ部53, 53Aは両者とも設定値が同一になるので、CPU1Aから設定する場合、同一アドレス領域として、同時に設定出来る様にしてもよい。

【0009】また、図4や図6に示されるように、CPU1Aからライト信号7が出力されている場合に、電気的制御可能回路4Bがプログラム的に所定アドレスに限りチップ選択信号8を出力する場合には、書込み制御回路5A又は5CはCPU1Aからのアドレス信号6を必要としない。なお、図4は不揮発性メモリ2Aへの書込み時に書込み電圧10を必要とする場合の例であり、図6は同じ電気的制御可能回路4Bを備えた場合に、書込み電圧を必要としない場合の例を示している。ただし、この発明（請求項1）において、CPU1Aは必須の構成要件ではなく、例えば、揮発性メモリの書込み、読み出し制御をプログラムによらず、論理回路のみにおいて行うような回路にもこの発明は適用される。

【0010】そして、以上のような構成によれば、不揮発性メモリに従来の揮発性メモリの機能をも持たせることができ、従来より、揮発性メモリと不揮発性メモリの2種類のメモリを使用していた回路において、メモリの種類を1つとすることができます。

【0011】また、この発明（請求項2）において、上記不揮発性メモリを使用した回路は、中央演算処理装置を有する回路であり、上記不揮発性メモリは、上記所定アドレス領域以外のアドレス領域にプログラムが格納され、上記所定アドレス領域に上記プログラム実行における演算結果が格納されるようにしたものである。

【0012】このような構成によれば、不揮発性メモリのみで、マイクロコンピュータを構成することができる。

### 【0013】

【発明の実施の形態】以下に、この発明の実施の形態を図に従って説明する。

実施の形態1. 図2は実施の形態1に係る不揮発性メモリを使用した回路を示すブロック図である。この回路

（マイクロコンピュータ）100は、不揮発性メモリ2Aの他に、CPU1Aと、CPU1Aよりアドレス信号6とライト信号（ライト／リード信号、あるいはライトイネーブル信号）7が入力される電気的制御可能回路4Aと、CPU1Aよりアドレス信号6とライト信号7が入力され、かつ電気的制御可能回路4Aよりチップ選択信号8が入力される書込み制御回路5を備えている。

【0014】書込み制御回路5は、書込み電圧10を出力する書込み電圧供給部51と、書込み許可信号9を出力する書込み許可制御部52とを備える。これら書込み電圧供給部51と書込み許可制御部52には、共にCPU1Aよりアドレス信号6とライト信号7が入力され、電気的制御可能回路4Aよりチップ選択信号8が入力される。

【0015】不揮発性メモリ2Aは、CPU1A、電気的制御可能回路4A、書込み許可制御部52、書込み電圧供給部51の出力側に接続され、それぞれアドレス信号6、チップ選択信号8、書込み許可信号9の各種制御信号および書込み電圧10が入力される。

【0016】不揮発性メモリ2Aの記憶領域は図3に示すように分割されていて、データ幅8ビットの256Kバイトの全メモリ領域の内、下位1Kバイトを演算結果データ格納領域11とし、残り255KバイトをCPU1Aを制御するためのプログラム格納領域12としている。従って、この場合アドレス信号6は、18ビット（A0～A17）で形成されるので、下位1Kバイトを示すアドレスはアドレス信号6の上位8ビットが0の場合となる。

【0017】従って、CPU1Aからライト信号7がアクティブ（ロー）となった場合、出力されるアドレス信号6の上位8ビットが0の場合で、かつ電気的制御可能回路4Aから出力されるチップ選択信号8がアクティブ（ロー）となった場合に、書込み制御回路5は、その書込み許可制御部52より書込み許可信号9をアクティブ（ロー）にするとともに、その書込み電圧供給部51により書込み電圧10を供給するようにする。

【0018】このような構成によれば、CPU1Aのプログラム動作中は、不揮発性メモリ2Aのうち、演算結果データ格納領域11のみにデータを書き込むことができるるので、プログラムデータを破壊する事なく、不揮発性メモリ2Aをデータ格納用メモリとして使用することができ、不揮発性メモリ1種類のみで従来と同様のマイクロコンピュータを構成することができる。

【0019】実施の形態2. 図4はこの発明の実施の形態2に係る不揮発性メモリを使用した回路を示すブロック図である。図4において、図2と同じ数字符号は図2の相当物を示している。実施の形態2は、プログラム格納領域12には書込みを行わないソフトウェアを用い、電気的制御可能回路4Bにアドレスのデコード機能を持たせた場合の回路（マイクロコンピュータ）101を示

すものである。実施の形態2における回路101においては、CPU1Aより出力されるライト信号7がアクティブ(ロー)の場合は、アドレス信号6が所定の領域(上位8ビットが0の場合)を示す場合にのみ、電気的制御可能回路4Bがチップ選択信号8をアクティブ(ロー)とする。従って、この電気的制御可能回路4Bのチップ選択信号8を書込み電圧供給部51Aと書込み許可制御部52Aに入力するようすれば、実施の形態1で示したように、アドレス信号6をこれら書込み電圧供給部51Aと書込み許可制御部52Aに入力しなくとも、書込み制御回路5Aは、アドレス条件を判断することができるようになる。

【0020】実施の形態3. 図5はこの発明の実施の形態3に係る不揮発性メモリを使用した回路を示すブロック図である。実施の形態1は、図1(A)に示した、書込み時に書込み電圧を必要とする不揮発性メモリ2Aを使用した回路例を示したものであるが、実施の形態3に示す回路(マイクロコンピュータ)102は書込み電圧を必要としない不揮発性メモリ2Bを使用したときの回路例を示したものである。図5より明らかなように、実施の形態3は、書込み制御回路5Bが、図2に示した書込み電圧供給部51を持たない(書込み許可制御部52のみを持つ)ことのみが図2に示した回路例と異なっている。なお、図5において、図2と同じ数字符号は図2の相当物を示している。

【0021】実施の形態4. 図6はこの発明の実施の形態4に係る不揮発性メモリを使用した回路を示すブロック図である。実施の形態4は、実施の形態2における不揮発性メモリ2A(図4)を、書込み電圧供給が不要な不揮発性メモリ2Bに変更した場合の回路(マイクロコンピュータ)103を示したものである。従って、この回路103の書込み制御回路5Cは、図4の書込み制御回路5Aから書込み電圧供給部51Aを取り去ったものに相当している。また、この回路103は、実施の形態3において、実施の形態2と同様、電気的制御可能回路4A(図5)にアドレスのデコード機能を持たせたものにも相当している。

【0022】実施の形態5. 図7はこの発明の実施の形態5に係る不揮発性メモリを使用した回路を示すブロック図である。実施形態5は、演算結果格納領域11とプログラム領域12の比率をCPU1Aからの設定により変化可能である回路(マイクロコンピュータ)104を示したものである。実施形態1ならびに実施形態2の場合、不揮発性メモリ2Aの演算結果格納領域11への書込み許可/禁止は、書込み電圧供給部51, 51Aならびに書込み許可制御部52, 52Aの内部におけるCEの状態ならびにアドレスのデコード機能で制御され、不揮発性メモリ2Aのデータ格納領域とプログラム格納領域の比率の変更は、上記の機能部分のハードウェア変更が必要となるが、この実施形態5の場合、アドレス設定

レジスタ部53, 53Aに書き込みたいアドレス領域の上限値あるいは下限値を設定して、実行中のCPU1Aのアドレス値とこの設定値を判定制御部54, 54Aでアドレス条件を比較して、制御信号の制御を行うようすれば、アドレス設定レジスタ部53, 53Aに設定したアドレス値で不揮発性メモリ2Aの領域分割の比率を柔軟に変化可能となる。

【0023】実施の形態6. 図8はこの発明の実施の形態6に係る不揮発性メモリを使用した回路を示すブロック図である。実施形態5は、図1(A)に示した書込み時に書込み電圧を必要とする不揮発性メモリ2Aを使用した回路例を示したものであるが、実施形態6に示す回路(マイクロコンピュータ)105は書込み電圧を必要としない不揮発性メモリ2Bを使用した時の回路例を示したものである。図8より明らかなように、実施の形態6は書込み制御回路5Eが図7に示した書込み電圧供給部51Bを持たない(書込み許可制御部52Bのみ持つ)ことのみが、図7に示した回路例と異なっている。なお、図8において、図7と同じ数字符号は図7の相当物を示している。

【0024】以上に示した実施の形態は、全てCPUを有するマイクロコンピュータを例にとって説明したが、この発明は、マイクロコンピュータに限定される事なく、例えば、不揮発性メモリに格納された一定のデータを用いて動作する論理回路を備えた回路等において、不揮発性メモリの一部を論理回路により得られたデータを格納する領域として使用する場合にも適用され得る。なお、不揮発性メモリへのデータの書き込みは、例えばバッファを設け、複数ビット(例えば18ビット)毎に行うようすれば、1ビット毎の書き込みに比較して書き込みに要する時間の短縮化を図ることができる。

#### 【0025】

【発明の効果】以上の説明より明らかなように、この発明は、不揮発性メモリの一部領域をデータの書き込み領域として使用できるようにすることで、不揮発性メモリに従来の揮発性メモリの機能をも持たせるようにしたので、従来より不揮発性メモリと揮発性メモリの2種類のメモリが必要であった回路を不揮発性メモリのみで構成することができるようになり、もって、回路の小型化、消費電力の低減、低コスト化をもたらすことができるという効果を奏する。

#### 【図面の簡単な説明】

【図1】この発明の不揮発性メモリの入力制御信号を示す図である。

【図2】この発明の実施の形態1に係る不揮発性メモリを使用した回路を示すブロック図である。

【図3】この発明に係る不揮発性メモリの記憶領域を示す図である。

【図4】この発明の実施の形態2に係る不揮発性メモリを使用した回路を示すブロック図である。

【図5】この発明の実施の形態3に係る不揮発性メモリを使用した回路を示すブロック図である。

【図6】この発明の実施の形態4に係る不揮発性メモリを使用した回路を示すブロック図である。

【図7】この発明の実施の形態5に係る不揮発性メモリを使用した回路を示すブロック図である。

【図8】この発明の実施の形態6に係る不揮発性メモリを使用した回路を示すブロック図である。

【図9】従来の不揮発性メモリを使用した回路を示すブロック図である。

#### 【符号の説明】

1A CPU (中央演算処理装置)

2A, 2B 不揮発性メモリ

4A, 4B 電気的制御可能回路

5, 5A, 5B, 5C, 5D, 5E 書込み制御回路

6 アドレス信号

7 ライト信号

8 チップ選択信号

9 書込み許可信号

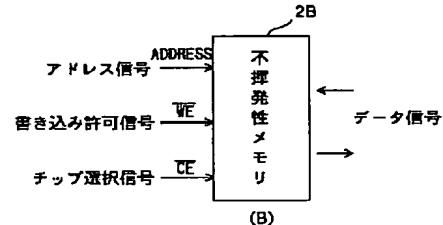
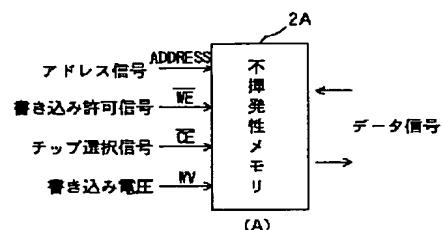
51, 51A, 51B 書込み電圧供給部

52, 52A, 52B 書込み許可制御部

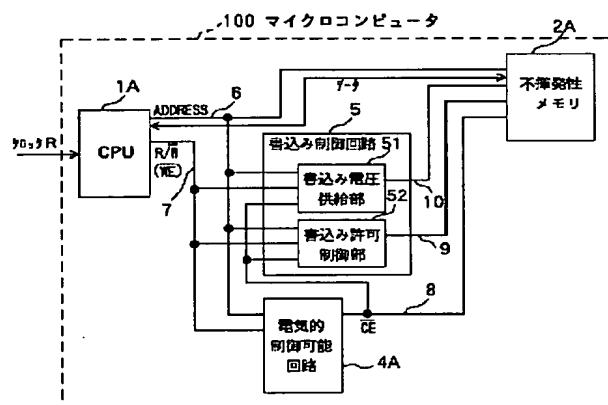
10 53, 53A 判定制御部

54, 54A アドレス設定レジスタ部

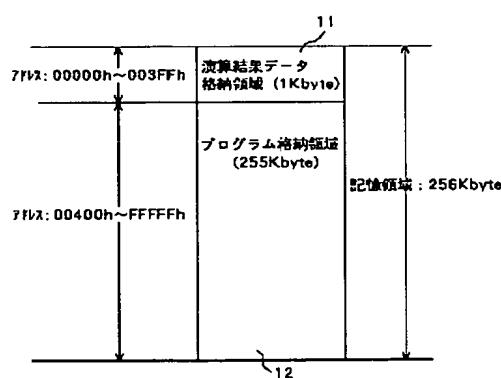
【図1】



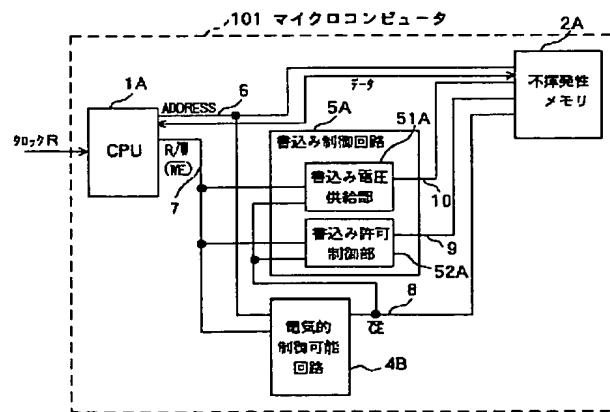
【図2】



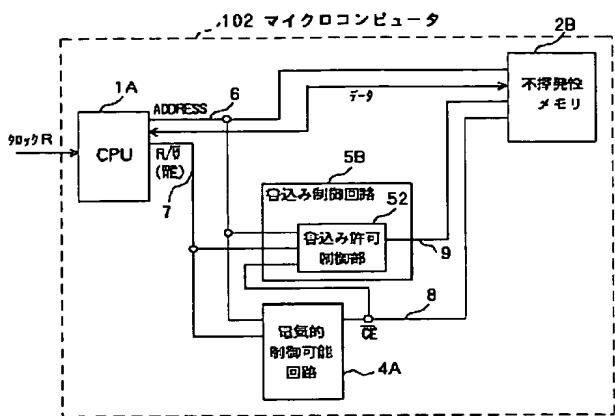
【図3】



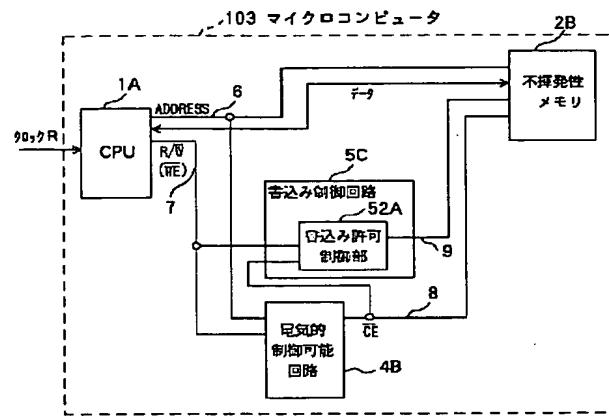
【図4】



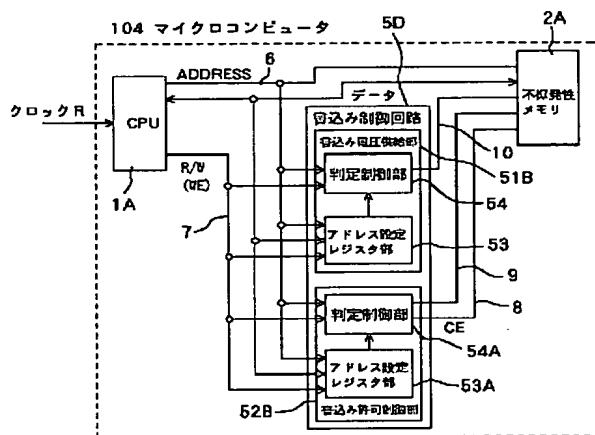
【図 5】



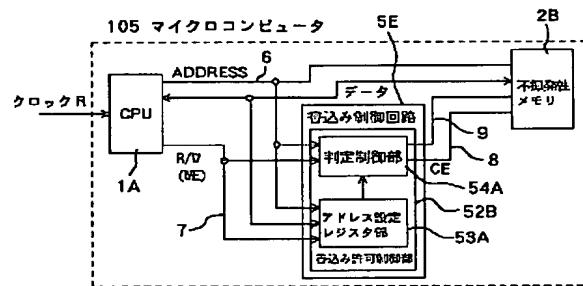
【図 6】



【図 7】



【図 8】



【図 9】

